

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-072667

(43)Date of publication of application : 12.03.1990

(51)Int.Cl.

H01L 29/44
H01L 21/331
H01L 29/06
H01L 29/73

(21)Application number : 63-223502

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.09.1988

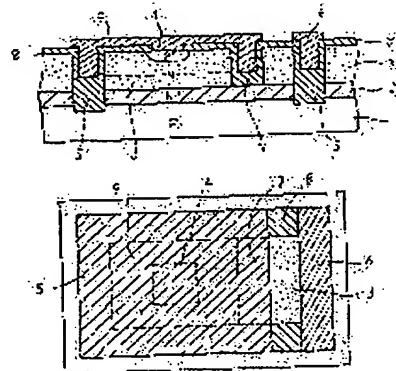
(72)Inventor : YASUDA SEIJI
FURUGUCHI SHIGEO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the area of an element and to obtain breakdown strength close to ideal breakdown strength by forming an electrode to the insides of grooves for trench isolation.

CONSTITUTION: An element isolating groove part 5 having the depth reaching a substrate 1 is formed around an embedded layer 4. A groove part 7 which isolates the embedded layer 4 and a collector electrode lead-out region is formed. An insulating layer 8 is formed on the main surface of a semiconductor element other than a contact region between the groove parts 5 and 7 and the P+ type embedded layer 4. A base electrode 9 is formed in the contact region as follows: the electrode extends to the groove parts 5 and 7 surrounding the embedded layer 4; the electrode crosses the junction part between the P+ type embedded layer 4 and an N-type epitaxial layer 3; and the groove parts 5 and 7 are filled with the electrode. Therefore, a depletion layer is uniformly expanded even when a reverse voltage is applied to the electrode 9, and the concentration of electric charge can be blocked. In this way, the area of the element can be reduced, and breakdown strength close to ideal breakdown strength can be obtained.



⑫ 公開特許公報(A) 平2-72667

⑮ Int. Cl.⁵H 01 L 29/44
21/331
29/06
29/73

識別記号

C

庁内整理番号

7638-5F

8526-5F

8526-5F

⑬ 公開 平成2年(1990)3月12日

H 01 L 29/72
審査請求 有 請求項の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-223502

⑰ 出 願 昭63(1988)9月8日

⑱ 発 明 者 安 田 聖 治 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑲ 発 明 者 古 口 栄 男 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

(従来技術)

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板と、上記半導体基板の一部に形成されたPN接合と、上記PN接合の廻りを取り囲むよう形成された溝部と、上記半導体基板及び上記溝部に形成された絶縁膜と、上記PN接合形成領域の上記基板と反対導電型領域に電気信号を入出力する電極とを有する半導体装置において、上記電極が上記絶縁膜を介し、上記PN接合を横切り、上記溝部の内部まで達するよう形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体装置に係り、特にバイポーラトランジスタの耐圧を向上させる為の電極構造の改良に関する。

バイポーラトランジスタを用いる場合、ベース・コレクタ接合に順電圧を印加して用いる場合と逆電圧を印加して用いる場合がある。NPN型のトランジスタのベース・コレクタ接合に逆電圧を印加する場合について簡単のためにPN接合ダイオードを用いて説明する。第8図(a)はプレーナ形接合により形成されたPN接合ダイオードであり、コレクタとしてのN型の基板12の表面にベースとしてのP⁺型の拡散層13が形成されている。そしてその主面には絶縁層14が形成されていて、上記拡散層13の直上にコンタクトホールが開孔され、上記P⁺型の拡散層13の直上にベース電極14が形成されている。そして上記基板12側の表面にはコレクタ電極15が形成されている。このようなPN接合ダイオードの上記ベース電極14にマイナスを、上記コレクタ電極15にはプラスの電圧を印加すると上記拡散層13と上記基板12との間に微線で示すような空乏層が形成される。その際、上記基板12側の空乏層の形状はPN接合の接合部分の形状と

(1)

—431—

(2)

全く同一にならない。上記空乏層は上記ベース電極直下の接合形状が平坦な部分では平坦になるが、絶縁層近傍の湾曲した部分では空乏層の幅が狭くなる。そのために、上記PN接合ダイオードに高逆電圧を印加した場合十分な耐圧が得られない。そこで従来はこれを改良して、第8図例に示すようにベース電極側を絶縁層を介して上記基板12上部にまで延ばしたフィールドプレート構造を用いていた。このように構成されたものにおいては、上記基板12の上部にまで上記ベース電極側が延びているために、この部分がMOS型トランジスタのような構造になり、上記ベース電極側にマイナスの電圧を印加した場合、空乏層は図例に示すように上記ベース電極側の端部まで形成される。その結果、上記PN接合の湾曲した部分の空乏層の幅は狭くはない。従来は上述したようなフィールドプレート構造を用いることにより、高逆電圧を印加しても空乏層の幅が狭くならないようにしていた。

(発明が解決しようとする課題)

(3)

とを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明の半導体装置は、半導体基板の一部に形成されたPN接合の廻りを取り囲むように溝部が形成され、上記基板表面及び上記溝部に絶縁膜が形成され、上記PN接合形成領域の上記基板と反対導電型領域に電気信号を入出力する電極が形成され、上記電極が上記絶縁膜を介し、上記PN接合を横切り、上記溝部内部まで達するよう形成されている。

(作用)

上述したように構成されたものにおいては、半導体基板に形成されたPN接合の形成領域に電極が形成され、上記PN接合を横切り、上記PN接合の廻りを取り囲む溝部内部まで達するよう形成されているため、上記電極に逆電圧を印加する場合においても空乏層が一様に広がり電荷集束を抑止することができる。

(実施例)

(5)

上述したように従来の半導体装置においては、バイポーラトランジスタに逆電圧を印加する際には、ベース電極をフィールドプレート構造のものを使用していたが、このような構造にするとベース電極の幅方向の広がりが大きくなり電極の占有面積が増大する。更に必要な接合耐圧を得るためには、トランジスタのエミッタ電極及びコレクタ電極をベース電極から十分に離しておかなければならず素子面積が大きくなる。また、高逆電圧を印加すると、ベース電極端部直下の半導体素子表面に電界が集中し素子破壊の恐れがある。この問題を改善する為には、ベース電極直下の絶縁膜を厚くするか絶縁膜の誘電率を下げるかしなければならない。しかしながら、絶縁膜を厚くすればその分素子の動作が不安定になる。

そこで本発明は、トレンチアイソレーション技術を利用することにより従来のフィールドプレート構造と比較して、素子面積を縮小でき、しかも半導体素子の不純物濃度により計測される理想耐圧に近い耐圧が得られる半導体装置を提供するこ

(4)

以下、図面を参照して本発明の実施例を説明する。第1図例及び例は本発明に係る半導体装置の一実施例を示す。同図において簡単のためにPN接合ダイオードを用いる。まず、P型の半導体基板(1)に高濃度のN⁺型の拡散層(2)が形成され、さらにその主面にコレクタとして上記拡散層(2)よりも低濃度のN型のエピタキシャル層(3)が形成されていて、更にその表面の一部にベースとして上記基板(1)よりも高濃度のP⁺型の埋込み層(4)が形成されている。そして、上記埋込み層(4)の廻りに上記基板(1)にまで達する深さの素子分離用の溝部(5)が形成され、更にこれを上記埋込み層(4)とコレクタ電極取出し領域とに分離する溝部(7)が形成されている。また、上記溝部(5)及び(7)と上記P⁺型の埋込み層(4)とのコンタクト領域以外の半導体素子主面には絶縁膜(8)が形成され、上記コンタクト領域には、上記埋込み層(4)の廻りを取り囲む溝部(5)及び(7)にまで延び、上記P⁺型埋込み層(4)-N型エピタキシャル層(3)の接合部を横切り、上記溝部(5)、(7)を埋めてしまうようにベース電極(9)が形成され

(6)

ている。

このように構成された半導体装置の製造方法の一具体例を第2図(a)乃至(f)に示す。この例では第2図(a)に示すように、先ずP型のシリコン基板(1)全面に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程度のリンを拡散し、 N^+ 型の拡散層(2)を形成した後、その主面にエピタキシャル成長により約 $2.5 \mu\text{m}$ の厚さで、濃度 $3 \times 10^{18} \text{ cm}^{-3}$ のリンがドーパされたN型のエピタキシャル層(3)を形成する。

次に第2図(b)に示すように、素子分離用の溝部(5)を高速RIB装置により上記基板(1)に達する程度 ($30 \mu\text{m}$ 以上) の深さに形成する。その後、ベース電極取出し領域とコレクタ電極取出し領域とを分離する為の溝部(7)を上記 N^+ 型の拡散層(2)まで達しない程度 ($20 \mu\text{m}$) の深さに形成する。

次に第2図(c)に示すように、該装置CVD装置により、上記溝部(5)、(7)が完全に埋まり上記エピタキシャル層(3)上に一様に堆積する程度の SiO_2 膜(9)を形成する。

次に第2図(d)に示すように、上記 SiO_2 膜(9)を

(7)

型エピタキシャル層(3)の接合部を掘切り上記 P^+ 型埋込み層(4)の廻りを取り囲む溝部(5)及び(7)の内部まで形成されているため、上記ベース電極(9)に逆電圧を印加した場合、上記PN接合部に形成される空乏層は第1図(a)に破線ですすように、上記溝部(5)、(7)内部の上記ベース電極(9)の底部まで一様に形成される。そのため、従来に比して電荷集中を大幅に減らすことができる。

次に、本発明の半導体装置と従来のフィールドプレート構造を有する半導体装置とから得られる耐圧とを比較して説明する。

まず、第1図(a)に示す本発明の実施例の半導体装置及び、第3図(a)及び(b)に示す従来の半導体装置において、N型のエピタキシャル層(3)の表面の一部分に P^+ 型の埋込み層(4)が形成されている場合の接合部の理想耐圧BVは次式で与えられる。

$$BV = \frac{K s \cdot \epsilon_0 \cdot E_{crit}^2}{2 q C_B}$$

$K s$ は半導体材料の比誘電率でシリコンの場合12.0、 ϵ_0 は真空中の誘電率で $8.9 \times 10^{-12} \text{ (F/m)}$

(9)

エッチバックして上記エピタキシャル層(3)表面及び上記溝部(5)、(7)の深さ $1.5 \mu\text{m}$ 程度までの上記 SiO_2 膜(9)を除去する。

次に第2図(e)に示すように、熱酸化を行ない約 $5 \mu\text{m}$ の厚さの絶縁層(8)を形成する。

次に第2図(f)に示すように、上記絶縁層(8)のベース形成予定領域直上に位置する部分を除去し、等方性のエッチングを行ないエミッタ形成予定領域にコンタクトホールを形成する。そしてその後、 $1 \times 10^{18} \text{ cm}^{-3}$ の濃度のボロンがドーパされた多結晶シリコンを上記コンタクトホールに堆積して約 $5 \mu\text{m}$ の深さの P^+ 型の埋込み層(4)を形成する。更に、上記絶縁層(8)の全面に約 $5 \mu\text{m}$ の厚さにアルミ蒸着を行ない上記溝部(5)、(7)の内部もアルミで埋め、上記素子分離用の溝部(5)の外側及び上記ベース電極取出し領域上に形成されたアルミを除去して、ベース電極(9)及びコレクタ電極(6)を形成する。

このように製造された半導体装置においては、上記ベース電極(9)が上記 P^+ 型埋込み層(4) - 上記N

(8)

型 SiO_2 膜(9)の界面電界強度である。また、 q は電子の電荷で $1.6 \times 10^{-19} \text{ (C)}$ 、 C_B は基板側の不純物濃度である。ここで、上記N型のエピタキシャル層(3)の不純物濃度 C_B を $3 \times 10^{18} \text{ (cm}^{-3}\text{)}$ 、臨界電界強度 E_{crit} を $2.7 \times 10^6 \text{ (V/cm)}$ とし、理想耐圧 BV_{ideal} を計算してみると、

$$BV_{ideal} = 806 \quad \text{[V]}$$

となる。

次に、従来及び本発明の半導体装置を用いるとどの程度の耐圧が得られるか求めてみると、

まず、第3図(a)に示すような電極形状を有する従来のPNP型のバイポーラトランジスタを用いた場合、上記 P^+ 型埋込み層(4)の深さを $5 \mu\text{m}$ とすれば、せいぜい 150 (V) 程度の耐圧しか得られない。また、第3図(b)に示すフィールドプレート構造を有するバイポーラトランジスタを用いてベース電極(9)に 500 (V) を印加した場合、上記基板(1)表面での上記 P^+ 型埋込み層(4)との接合部分から上記ベース電極(9)の端部までの距離 ($P \cdot L_{length}$) とその時の最大電界強度との関係

00

を実験により求めてみると、第3図に示すような関係が得られる。この図において○印は上記絶縁層(8)の厚さが $1\mu\text{m}$ で上記N型基板(2)の表面部分と上記P⁺型埋込み層(4)との接合部分近傍における特性で●印は上記基板(2)の上記ベース電極(1)端部の直下に位置する部分における特性である。同様に△印及び▲印は厚さ $3\mu\text{m}$ の場合の特性で、□印及び■印は厚さ $5\mu\text{m}$ の場合の特性である。

この図によると、接合部分近傍の特性はF. P. Length が長くなるに従って電界強度が弱くなり電界集中が緩和され、F. P. Length が $40\mu\text{m}$ 以上になれば電界強度はこれ以上弱くなくなる。一方上記ベース電極(1)端部の直下の電界強度は、上記F. P. Length が長くなるにつれて強くなっていき、長さが $40\mu\text{m}$ 程度ではほぼ飽和している。この図からわかるように接合部分近傍と上記ベース電極(1)端部直下の電界強度は、F. P. Length に対して相反する関係をもっており、両者の電界強度が上記臨界電界強度を同時に満足できる条件は存在しない。したがってフィールド

00

$=2\mu\text{m}$ の場合の特性である。この図によると、上記溝部(7)側壁面付近の電界強度は ℓD の長さKはほとんど依存しないが、上記P⁺型埋込み層(4)と上記N型エピタキシャル層(3)との接合部分近傍の電界強度は ℓD の長さが短い程弱くなっていて、 ℓD が $10\sim12\mu\text{m}$ 程度の時に両者の電界強度がほぼ同じになる。

次に $Xy=5\mu\text{m}$ 、 $10x=1\mu\text{m}$ 、 $\ell\text{D}=12\mu\text{m}$ 、 $W\text{L}=5\mu\text{m}$ として、上記溝部(7)側壁面付近の電界強度(△印)と上記接合部分近傍の電界強度(○印)の、 ℓD と最大電界強度との関係を求めると第6図のようになる。この図によると、 ℓD の深さが深くなるに従って上記溝部(7)側壁面付近の電界強度は高くなり、上記N型エピタキシャル層(3)との接合部分近傍の電界強度は弱くなって、 $10\mu\text{m}$ 以上の深さになるとほぼ一定となる。よって、 ℓD が $12\mu\text{m}$ 程度で両者の電界強度は約 220KV/cm となり、上記臨界電界強度の 270KV/cm よりも大幅に低くすることができ、また ℓD が約 $5\mu\text{m}$ より深ければ電界強度は 270KV/cm 以下

03

プレート構造をもつてしても $500(\text{V})$ を印加すれば電界集中が起こり素子が破壊されてしまい理想耐圧に程近い耐圧しか実現できない。

一方、本発明の半導体装置の構造を用いれば、第4図に示すようにP型埋込み層(4)の深さを Xy 、絶縁膜(8)の厚さを $10x$ 、上記P⁺型埋込み層(4)側の上記絶縁膜(8)の一端から上記溝部(7)に形成されている上記絶縁膜(8)の内壁面までの距離を ℓD 、上記溝部(7)に形成されている上記絶縁膜(8)の側面方向の厚さを $W\text{L}$ 、上記絶縁膜(8)の上記溝部(7)における深さを ℓD とし、 $10x=1\mu\text{m}$ 、 $W\text{L}=5\mu\text{m}$ 、 $\ell\text{D}=10\mu\text{m}$ 、入力電圧を $500(\text{V})$ として Xy をパラメータとしたときの ℓD と最大電界強度との関係を求めると、第5図に示すような関係が得られる。この図において、○印は $Xy=5\mu\text{m}$ で上記N型エピタキシャル層(3)の表面部分と上記P⁺型埋込み層(4)との接合部分近傍における特性で、●印は上記N型エピタキシャル層(3)の上記溝部(7)側壁面付近の特性である。同様に△印及び▲印は $Xy=3\mu\text{m}$ の場合の特性で、□印及び■印は Xy

02

になり電界集中による素子破壊が生じる恐れがなくなる。

次に、 $Xy=5\mu\text{m}$ 、 $10x=1\mu\text{m}$ 、 $\ell\text{D}=12\mu\text{m}$ 、 $\ell\text{D}=12\mu\text{m}$ 、 $W\text{L}=5\mu\text{m}$ として上記ベース電極(9)に印加する電圧を変えていった場合の上記溝部(7)側壁面付近の電界強度(△印)及び上記接合部分近傍の電界強度(○印)との関係を求めると第7図のようになる。この図によると、印加電圧が増加するに従って電界強度も増加していき、印加電圧が約 630V で電界強度が臨界電界強度の 270KV/cm になる。上述のように計算により算出した理想耐圧は 806V であるのに対して、従来のPNP型のバイポーラトランジスタでは約 $150\text{V}(19\%)$ の耐圧しか得られないが、本実施例に示す構造を用いれば約 $630\text{V}(78\%)$ の耐圧を得ることができる。また、ベース電極の長さ(F. P. Length)が従来は、第3図を見ても分かるとおり、約 $40\mu\text{m}$ 必要なのに対し、本実施例では $10\mu\text{m}$ 程度でも十分効果も得ることができ、素子面積の縮小も図ることができる。

04

以上詳述した実施例においては、NPNトランジスタを用いて説明してきたが、PNPトランジスタを用いても勿ろん同様の効果を得ることができる。

〔発明の効果〕

本発明は以上説明してきたように、トレンチアイソレーションの為の溝の内部まで電極を形成するようにしたことにより、素子面積を縮小し、なおかつ計算により算出される理想耐圧に近い耐圧を得ることができる。

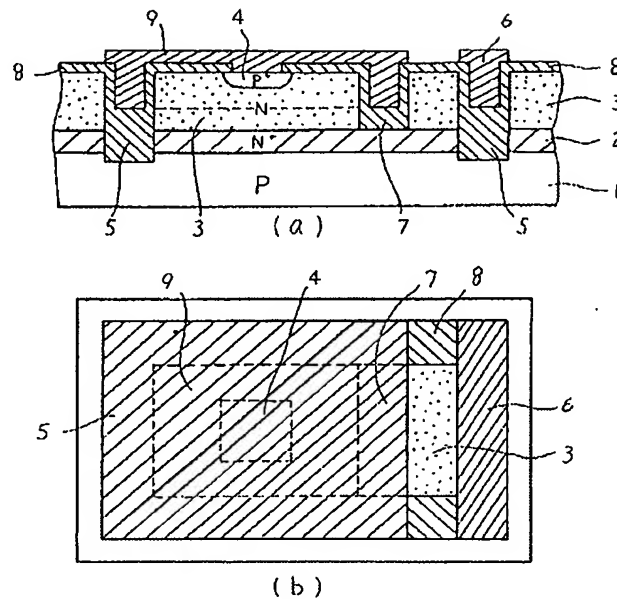
4. 図面の簡単な説明

第1図(a)は本発明の一実施例を示す半導体装置の断面図、同図(b)はその平面図、第2図(a)~(f)は同装置の製造方法の一具体例を示す工程図、第3図はフィールドプレート構造を有する従来の半導体装置のF. P. Length - 電界強度特性図、第4図は本発明の一実施例を示す半導体装置の要部拡大図、第5図は同装置を用いた場合のE_p - 電界強度特性図、第6図はそのE_D - 電界強度特性図、第7図はその印加電圧 - 電界強度特性図、

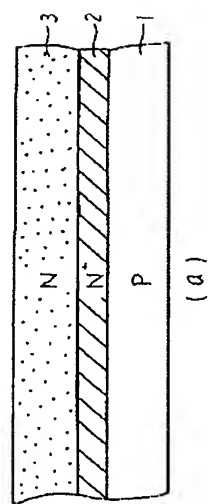
第8図(a)は従来のPNP型バイポーラトランジスタの断面図、同図(b)はフィールドプレート構造を有する従来の半導体装置の断面図である。

- 1…半導体基板、
- 3…N型エピタキシャル層、
- 4…P型埋込み層、
- 5, 7…溝部、
- 8…絶縁膜、
- 9…ベース電極。

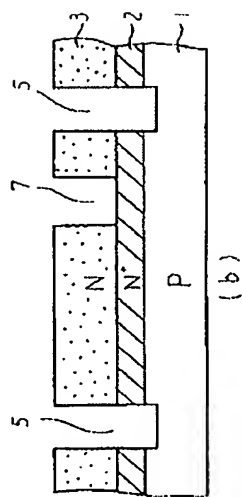
代理人 弁理士 則 近 憲 佑
同 竹 花 喜久男



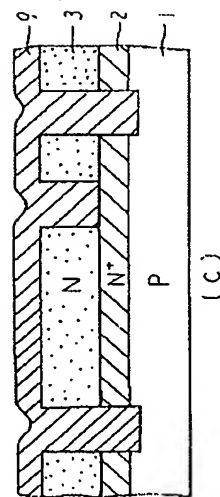
第 1 図



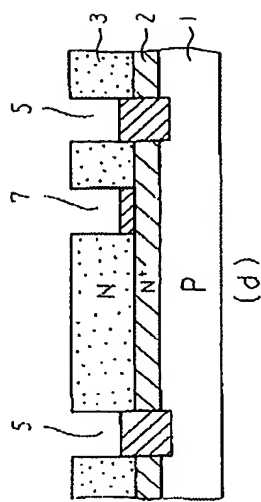
(a)



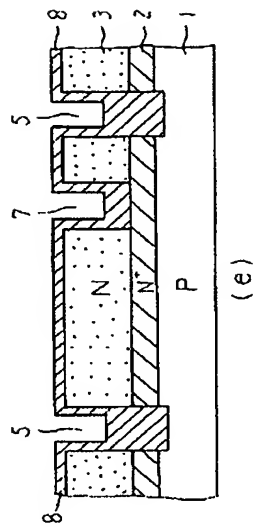
(b)



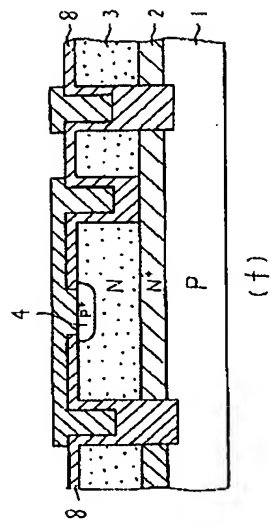
(c)



(d)



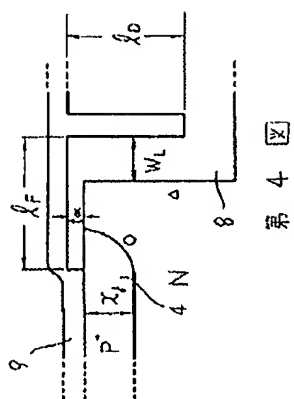
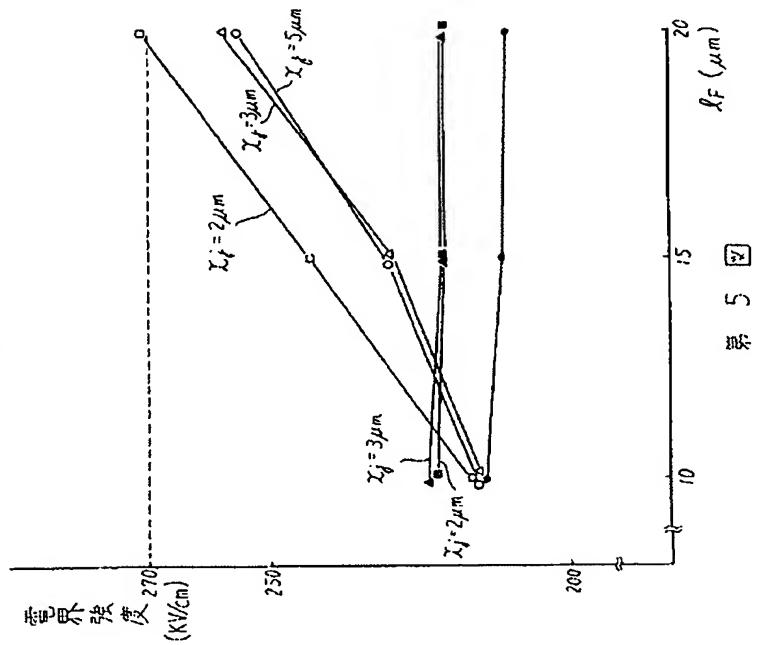
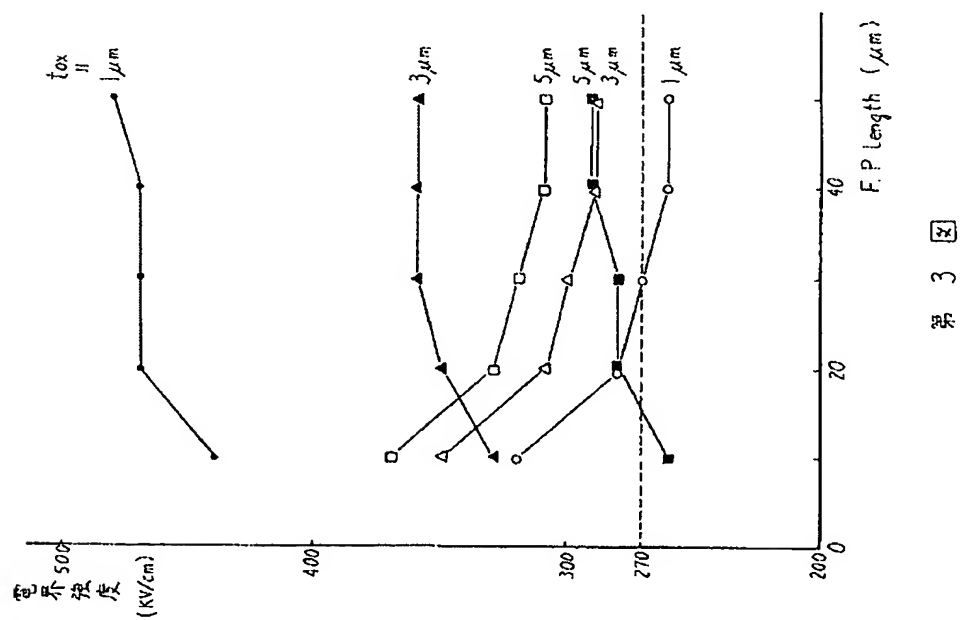
(e)

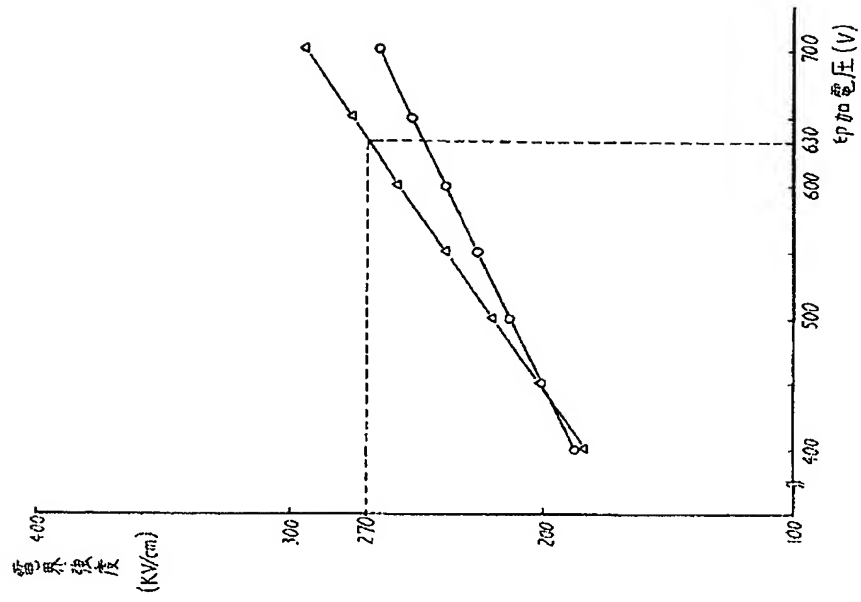


(f)

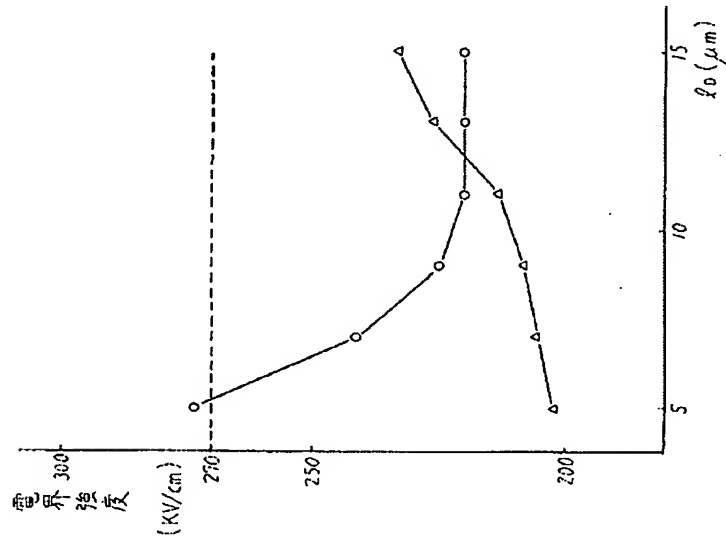
第 2 图

第 2 图

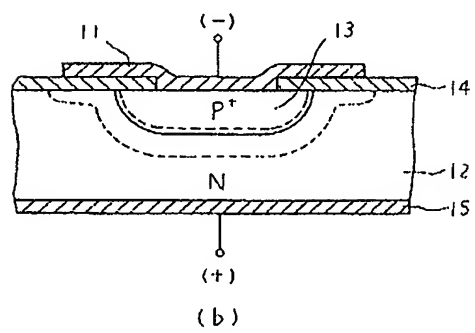
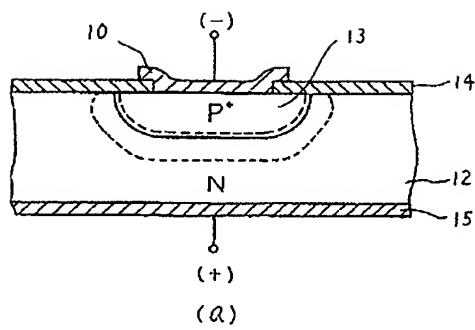




第 7 図



第 6 図



第 8 図